

Requested Patent: JP10134988A

Title:

NON-BREAKDOWN TRIGGERED ELECTROSTATIC DISCHARGE PROTECTION
CIRCUIT FOR AN INTEGRATED CIRCUIT AND METHOD THEREFOR ;

Abstracted Patent: EP0827252, A3 ;

Publication Date: 1998-03-04 ;

Inventor(s): QUIGLEY JOHN H (US) ;

Applicant(s): MOTOROLA INC (US) ;

Application Number: EP19970113871 19970811 ;

Priority Number(s): US19960706868 19960903 ;

IPC Classification: H02H9/04 ;

Equivalents: CN1175795, US5781388

ABSTRACT:

A non-breakdown triggered electrostatic discharge (ESD) protection circuit (11) comprising a voltage divider circuit and a SCR (22). The voltage divider comprises a capacitor (17) and a resistor (18). The voltage divider connects to a pad of an integrated circuit and generates a trigger voltage for enabling the SCR (22) when an ESD event is applied to the pad. A worst case ESD voltage transient is used to calculate a trigger voltage for the SCR (22). The trigger voltage is selected at a voltage below where damage to the integrated circuit occurs. The SCR (22) is designed to have a turn on time constant that prevents normal signal levels from triggering the SCR (22).

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-134988

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 5 F 3/02

H 0 5 F 3/02

L

H 0 1 L 23/60

H 0 1 L 23/56

B

審査請求 未請求 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平9-252715

(22) 出願日 平成9年(1997) 9月2日

(31) 優先権主張番号 08/706, 868

(32) 優先日 1996年9月3日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 ジョン・エイチ・クイグリー

アメリカ合衆国アリゾナ州85048、フェニ
ックス、イースト・デザート・トランベ
ット 1422

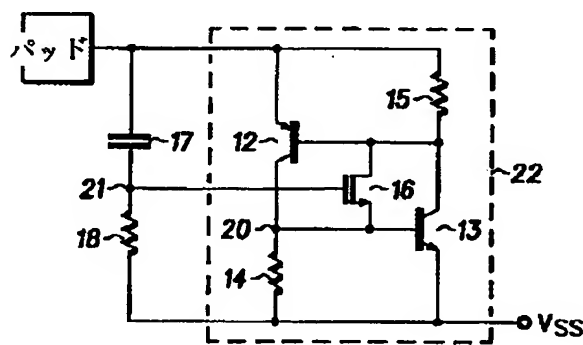
(74) 代理人 弁理士 池内 義明

(54) 【発明の名称】 集積回路のための非ブレイクダウントリガ式静電気放電保護回路および製造方法

(57) 【要約】

【課題】 製造が容易であり、集積回路で生じ得る大部分のESD事象から回路を保護するESD保護回路を提供する。

【解決手段】 非ブレイクダウントリガ式の静電気放電(ESD)保護回路11は分圧器回路およびSCR22を具備する。分圧器は容量17および抵抗18を有する。分圧器は集積回路のパッドに接続されかつESD事象がパッドに印加されたときSCR22をイネーブルするためのトリガ電圧を発生する。SCR22のためのトリガ電圧を計算するために最悪の場合のESD電圧トランジェントが使用される。トリガ電圧は集積回路への損傷が生じる電圧より低い電圧に選択される。SCR22は通常の信号レベルがSCR22をトリガするのを防止するターンオン時定数を持つよう設計される。



【特許請求の範囲】

【請求項1】 集積回路のパッドに結合された静電気放電(ESD)保護回路(11)であって、

前記パッドに結合された第1の端子および第2の端子を有する容量(17)、

前記容量(17)の前記第2の端子に結合された第1の端子および電源端子に結合されて電源電圧を受けるための第2の端子を有する抵抗(18)であって、前記容量(17)および前記抵抗(18)は電圧分圧器を形成するもの、そして前記パッドに結合された第1の端子、前記容量の前記第2の端子に結合されたトリガ入力、および前記電源端子に結合された第2の端子を有するシリコン制御整流器(SCR)(22)であって、前記パッドに印加される過渡電圧が所定のエネルギーレベルより上で前記SCR(22)をトリガするもの、を具備することを特徴とする静電気放電(ESD)保護回路(11)。

【請求項2】 前記SCR(22)は、前記電源端子に結合された第1の電極、前記パッドに結合された制御電極、および前記パッドに結合された第2の電極を有する第1のトランジスタ(12)、そして前記第1のトランジスタ(12)の前記制御電極に結合された第1の電極、前記電源端子に結合された制御電極、および前記電源端子に結合された第2の電極を有する第2のトランジスタ(13)、を具備することを特徴とする請求項1に記載の静電気放電保護回路(11)。

【請求項3】 前記SCRはさらに前記第1のトランジスタ(12)の前記第2の電極と前記第1のトランジスタ(12)の前記制御電極との間に結合された第1の抵抗(12)を含むことを特徴とする請求項2に記載の静電気放電保護回路(11)。

【請求項4】 集積回路のパッドにおいて損傷を防止するために静電気放電(ESD)事象をシャントするためにシリコン制御整流器(SCR)(22)をトリガする電圧分圧器のための値を選択する方法であって、前記電圧分圧器は前記パッドと電源端子との間に抵抗(18)と直列に結合された容量(17)を備え、前記方法は、前記パッドにおけるトリガ電圧を前記集積回路の最大過渡電圧より低く選択する段階、そしてESD事象の最悪の場合の立上り時間に対応する周波数で前記電圧分圧器の値を計算する段階、を具備することを特徴とする電圧分圧器のための値を選択する方法。

【請求項5】 静電気放電(ESD)事象をシャントするためにシリコン制御整流器(SCR)(22)をイネーブルするための電圧分圧回路であって、前記SCRは集積回路のパッドと電源端子との間に結合され、前記電圧分圧回路は、前記パッドに結合された第1の端子および前記SCR

(22)の制御端子に結合された第2の端子を有する容量(17)、そして前記容量(17)の前記第2の端子に結合された第1の端子および前記電源端子に結合された第2の端子を有する抵抗(18)であって、前記パッドに印加される過渡電圧は前記SCR(22)をイネーブルし、前記過渡電圧は前記集積回路の最大過渡電圧より低い所定の電圧を超え、かつ、前記容量(17)および抵抗(18)の値は最悪の場合の静電気放電事象に対応する周波数で前記SCR(22)をトリガするよう計算されるもの、

を具備することを特徴とするシリコン制御整流器(SCR)(22)をイネーブルするための電圧分圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、一般的には、集積回路のための高電圧保護回路に関し、かつより特定的には、集積回路の静電気放電(Electrostatic Discharge: ESD)保護に関する。

【0002】

【従来の技術】集積回路は典型的には数多くの回路を備えたより大きなシステムの1つの要素である。集積回路の間の相互接続は数多くの形式を取る。例えば、集積回路はパッケージに入れられ、ワイヤが集積回路の金属パッドとパッケージのリードとの間に接合される。前記パッケージのリードは典型的には集積回路板または集積回路ソケットに接続される。高密度相互接続フォーマットは集積回路の各々の金属パッド上にはんだボールを置く。集積回路ははんだを介して他の基板上の対応する金属パッドに接続される。いずれの場合も、集積回路の金属パッドは集積回路の外部の回路と集積回路の内部の回路との間のインタフェース回路となる。

【0003】集積回路はウェーハ処理の後に、試験の間に、パッケージの間に、かつシステムに入れられる場合に手を触れられ取り扱われることは避けることができない。集積回路を手で触れることはデバイスを静電気放電にさらすことになる。集積回路の信頼性および早すぎる障害は静電気放電(ESD)の結果である。ESD事象は極めて高い電圧を生じさせこれは集積回路のデバイスを損傷する可能性がある。

【0004】パッドまたは接続ポイントは集積回路内部の回路への経路である。パッドに加えられる静電気放電(ESD)事象は典型的には1,000ボルトを越える電圧をパッドに接続された回路に結合する。一般にパッドに接続される最初の回路は入力または出力回路である。一般に、ESD事象はもしそれがESD回路によって保護されていないならば入力/出力(I/O)回路を損傷する。ESD事象は集積回路へのその入力において見境のないものである。ESD事象は集積回路のいずれのI/O回路にも、あるいは集積回路のI/O回路の間にも結合される。

【0005】

【発明が解決しようとする課題】一般に、ESD保護回路は集積回路のパッド領域の近くに導入される。ESD保護回路は有害な電圧または電流が集積回路の回路を損傷する前にESD事象を消散させる。ESD保護回路に伴う問題は保護のメカニズムが全ての動作条件に渡り信頼性があるものではないことである。I/O回路におけるデバイスのブレイクダウンメカニズム（ESD事象による）およびESD保護回路が動作可能になるポイントの双方はESD回路の開発における考慮事項の重要な点である。

【0006】ESD保護回路における他の設計要因はパッドの近くにそれが使用する面積である。大部分の集積回路は今日の集積回路プロセスにおいて利用可能な高密度のためパッドによって制限される。高密度のESD保護回路はダイ面積を低減しかつパッド密度を増大する上での助けとなるであろう。

【0007】もし容易に製造可能でありかつ集積回路に対して生じ得る大部分のESD事象からの保護を提供するESD保護回路が提供できれば大きな利益になるであろう。

【0008】

【課題を解決するための手段】一般に、集積回路の入力／出力（I/O）回路はパッドに接続している。該パッドはプローブカード（試験）、ワイヤボンド、またははんだボールのための物理的接続ポイントとしても作用する。集積回路は外部相互接続のために何百または何千もの金属パッドを有することがある。

【0009】集積回路に伴う1つの問題はそれらが製造および組立てプロセスの間に渡り手を触れられあるいは取り扱われる（handled）ことである。集積回路のパッドのいずれかに加えられる静電気放電は実質的な損傷を引き起こしあるいは信頼性に影響を与える可能性がある。この問題は静電気放電（ESD）が試験の後に生じた場合には検出されない状態となる。したがって、製造者は機能しないかあるいは信頼性のない部品を現場においてシステムに使用する可能性がある。この筋書きは今日の製造環境においては絶対に耐えられないものである。

【0010】ESD事象は金属パッドを通して入りかつ典型的には入力／出力回路におけるデバイスを損傷することが知られている。損傷はまたESD事象が減衰されことなくI/O回路を通った場合にチップの内部で生じ得る。入力／出力回路（I/O回路）は典型的には信号を受けかつ送り出すために集積回路の周辺に沿ったパッドの近くに配置される。集積回路への損傷を防止するために、ESD保護回路は各々のパッドの近くに配置されて集積回路の回路が損傷される前に静電気放電を検知しかつ抑圧するよう構成される。

【0011】ESD事象は集積回路に結合される静電気

放電として定義される。ESD事象は2つの方法で分類され、第1に、ESD事象は集積回路のいずれか2つのパッドの間で生じ、かつ第2に、ESD事象は集積回路およびいずれか他の物体との間で生じ得る。

【0012】I/O回路上のESD回路によって提供される保護は典型的にはMIL-STD 883CまたはDOD-STD 1686Aを使用して測定される。ESDテストは特定の電圧および電流波形のESD事象を提供する。ESDテストは集積回路の任意の2つのパッド（またはパッドのグループ）の間でESD事象を提供する。したがって、ESD保護回路は集積回路のいずれか2つのI/Oパッドの間、I/Oパッドから電源ライン、または電源ラインの間でのESDから保護しなければならない。

【0013】ESD事象による損傷を防止する上で通常使用される素子はシリコン制御整流器（SCR）である。SCRはESD保護回路としてそれを有用にする理想的な特性を有する。SCRはトリガ電圧によってイネーブルされる。SCRは一旦トリガ電圧が印加されると急速にターンオンしそれが集積回路への損傷を防止するよう迅速に反応できるようにする。SCRはESD事象を効果的にショートして損傷電圧がいずれかの回路に印加されるのを防止する極めて低いインピーダンスを有する。

【0014】SCRがどのようにトリガされるかは種々のESD保護回路の間で変化する。例えば、従来技術のESD保護回路はSCRをトリガするために電界効果トランジスタ（FET）を使用する。トリガ電圧を発生するためのメカニズムはFETがブレイクダウンできるようにすることであり、それによってある電圧をSCRに結合する。この方法に伴う問題はFETがそれが集積回路の他のデバイスの前にブレイクダウンすることを保証するようスケールアップされなければならないことである。FETが最初にブレイクダウンするよう修正することは余分のウェーハ処理工程を必要とし製造プロセスにコストおよび複雑さを加える。あるいは、パッドに近接したデバイス（それらは一般にESDによって損傷される）を性能の損失を伴うがトリガFETよりも高いブレイクダウン電圧を持つよう修正することもできる。

【0015】

【発明の実施の形態】図1は、本発明に係わるパッドに結合された静電気放電（ESD）保護回路11の電気回路図を示す。ESD保護回路11はトリガ機構としてデバイスのブレイクダウンを使用せず、したがってそれはESD事象が発生するたびごとに動作可能である。ESD保護回路11は半導体ウェーハ上に容易に集積されかつパッドの近くに配置できるように充分小さくなっている。ESD保護回路11はシリコン制御整流器（SCR）22、容量17、および抵抗18を備えている。パッドに印加される静電気放電は容量17を通して結合さ

れかつ抵抗18にわたり電圧を発生する。抵抗18にわたる電圧はSCR22をトリガしパッドを電源端子V_{ss}にショートさせる。SCR22は静電気放電をシャント(shunt)してまたは分路を形成して損傷電圧がパッドに結合された他の回路に結合されるのを防止する。

【0016】SCR22はトランジスタ12、13および16、および抵抗14および15から構成される。トランジスタ12および13はそれぞれ第1の電極、制御電極、および第2の電極に対応するコレクタ、ベースおよびエミッタを有する。トランジスタ12はPNPバイポーラトランジスタである。トランジスタ13はNPNバイポーラトランジスタである。トランジスタ16はそれぞれ第1の電極、制御電極、および第2の電極に対応するドレイン、ゲート、およびソースを有する。トランジスタ16は絶縁ゲート電界効果トランジスタ(IGFET)である。抵抗14および15はSCR22の集積されたものに関連する寄生抵抗である。

【0017】トランジスタ12はノード20に接続されたコレクタ、ノード19に接続されたベース、およびパッドに接続されたエミッタを有する。トランジスタ13はノード19に接続されたコレクタ、ノード20に接続されたベース、および前記電源端子V_{ss}に接続されたエミッタを有する。抵抗15は前記パッドに接続された第1の端子およびノード19に接続された第2の端子を有する。抵抗14はノード20に接続された第1の端子および前記電源端子V_{ss}に接続された第2の端子を有する。トランジスタ16はノード19に接続されたドレイン、ノード21に接続されたゲート、およびノード20に接続されたソースを有する。容量17はパッドに接続された第1の端子およびノード21に接続された第2の端子を有する。抵抗18はノード21に接続された第1の端子および電源端子V_{ss}に接続された第2の端子を有する。

【0018】ESD保護回路11の一実施形態では、前記パッドに接続された回路はIGFETをベースとした回路である。直接の関心事は一般にパッドに結合される入力/出力(I/O)回路である。該I/O回路はそのパッドへの近接のために最初に損傷されるものである。一般に、パッドに接続された回路(例えば、大きな出力ドライバ装置)への損傷はゲート酸化物のブレイクダウンによる。ESD保護回路11はESD事象によってゲート酸化物が損傷される前にイネーブルされる。SCR22は集積回路における回路を損傷し得る電圧を生じさせることなくESD事象のエネルギーを効果的に放電する極めて低いインピーダンスを有する。

【0019】容量17および抵抗18はパッドに印加される過渡電圧によるSCR22への制御電圧を発生するための電圧分圧回路を形成する。トランジスタ12および13は正のフィードバックネットワークを形成し、こ

の場合トランジスタ12からの電流はトランジスタ13のベースをドライブしかつトランジスタ13からのコレクタ電流はトランジスタ12のベースをドライブする。抵抗14および15はSCR22の配置による寄生抵抗である。抵抗14および15の典型的な値はそれぞれ10オームおよび2000オームである。抵抗14および15は双方ともSCR22の性能に大きな影響を与えない抵抗値を有し、かつしたがって計算には入れられていないが、抵抗が存在することに気がつくべきでありかつ抵抗14または15が高い値を有する場合にはそれを考慮することができる。

【0020】容量17および抵抗18を備えた電圧分圧器の動作に対して2つの要因が関連する。第1に、SCR22は通常の信号がパッドに印加される場合にはトリガされるべきではない。第2に、電圧分圧器はパッドにおいてESD事象が生じた場合にSCR22をトリガすべきである。正常なまたは通常の信号、およびESD事象はノード21に電圧を発生させる過渡電圧を生じさせる。ESD事象の表現は容量17および抵抗18の値が計算される前に必要とされる。

【0021】静電気放電のための良く知られたモデルは「人体モデル(Human Body Model: HBM)」である。人体モデルは集積回路の1つのピンに触れる人間を表わす直列抵抗/インダクタ/容量(RLC)回路を通してESD事象を表わす。ESD事象はまた他のピンを通してその人間(RLC回路)および集積回路のための回路を完成させるための共通の戻りポイントを有する。図2は人体モデルのESD事象のグラフである。HBM ESD事象は1ナノ秒と10ナノ秒の間の立上り時間 t_{HBM} を有する高速の立上り電圧または電流トランジェントによって特徴付けられる。ESD事象に対する電圧レベルは数百または数千ボルトのオーダーにある。図1のESD保護回路11は上に述べた立上り時間 t_{HBM} の間にトリガしかつHBM ESD事象をシャントしなければならない。

【0022】前に述べたように、IGFETをベースとした集積回路におけるESD事象はゲート酸化物を損傷する。ゲート酸化物のブレイクダウンの経験的な分析はDC電圧よりも電圧トランジェントに対してより高い電圧で損傷が生じることを示している。明瞭化のためかつ例示の目的で、図1のESD保護回路11の容量17および抵抗18に対する値を決定するために典型的な半導体ウェーハプロセスの例を使用するのが最も良い。例えば、0.8ミクロンのゲート長さを有するIGFETウェーハプロセスは100オングストロームの厚さを有するゲート酸化物を使用する。経験的な分析はゲート酸化物のブレイクダウンは10ボルトのDC電圧がゲート酸化物にわたり印加されるかあるいは20ボルトの過渡電圧が印加された場合に生じることを示している。図1に戻ると、ESD保護回路11はパッドが20ボルトに到

達する前にSCR22をイネーブルしなければならず、それはESD事象はゲート酸化物のブレイクダウンに対するより高い電圧に対応する過渡現象であるためである。

【0023】ゲート酸化物は20ボルトのトランジェントに耐えることができるが、ある電圧、例えば12ボルト、がトリガ電圧($V_{trigger}$)として選択され、該電圧はESD事象の間にESD保護回路11がイネーブルされることを保証する上での誤差に対して大きなマージンを提供する。前記電圧 $V_{trigger}$ はパッドにおける電圧である。前に述べたように、抵抗14(10オーム)および15(2000オーム)はESD保護回路11の設計に対して大きな影響を持たず、かつしたがって計算には含まれていない。

【0024】トランジスタ16はノード21における電圧がトランジスタ16のしきい値電圧を超えた場合にトランジスタ12をターンオンするためにイネーブルされる。この種のデバイスに対する典型的なしきい値電圧は0.5ボルト(V_{th})である。容量17($C17$)および抵抗18($R18$)は電圧分圧器を形成する。該電圧分圧器は過渡状態の下で次の数式1に対応するノード21の電圧($V21$)を発生する。

【数1】 $V21 = V_{trigger} * (R18 / (R18 + (1 / (\omega * C17))))$

この場合 $V_{trigger}$ はパッドにおける電圧であり、かつ ω は $2\pi f$ (f =周波数)である。この例では、前記トリガ電圧は12ボルト(v)でありかつ該トリガ電圧でのノード21における電圧は0.5ボルト(トランジスタ16のしきい値電圧)である。

【0025】ESD保護回路11の設計者にとって利用可能な選択肢は、抵抗18の値を選択し、かつ容量17について数式1を解くか、あるいは容量17の値を選択し、かつ抵抗18について数式1を解くことである。この例では、トランジスタ16の配置において容量17を集積するのが都合がよい。トランジスタ16は多結晶シリコン(polysilicon)ゲートを有するIGFETである。容量 $C17$ を形成する効率的な方法は第1層の金属をトランジスタ16の多結晶シリコンゲートの上に形成することである。2酸化シリコンの誘電体が第1層の金属を多結晶シリコンから絶縁する。第1層の金属は容量12の頭部プレートを形成し、かつ多結晶シリコンゲートが容量17の底部プレートを形成する。例えば、上に述べたプロセスで形成されるトランジスタ16は第1層の金属と共に15フェムトファラッド($femto\ farads: fF$)の容量を生成する多結晶シリコンゲート領域を有する。容量17をこのようにして形成することはESD保護装置11が最も小さな可能な寸法を持つことができるようにする。

【0026】前記数式1は周波数項 $\omega = 2\pi f$ を有することに注目すべきである。電圧トランジェントは1つの

純粹の周波数ではない。電圧トランジェントは通常高速の立上り時間が伝送できるかを決定するために伝送ライン計算のような用途において周波数に変換される。人体モデルのESD事象に対する最悪の筋書きは10ナノセカンド(ns)の立上り時間($t_r(esd)$)である。10ナノセカンドの立上り時間はESD保護回路11によって放電されなければならない最悪の場合のエネルギーに対応する。数式2はESD事象に対する立上り時間対周波数変換方程式である。

【数2】 $f_{esd} = 0.37 / t_r(esd)$

【0027】抵抗18について前記数式1を解き、かつ周波数項に対して数式2を使用することにより次の数式3を得ることができる。

【数3】 $R18 = (1 / (2\pi f_{esd} * C18)) * (1 / ((V_{trigger} / V21) - 1))$

【0028】数式3の変数に対する値を入れることにより($f_{esd} = 0.37 / 10ns$, $C18 = 15fF$, $V_{trigger} = 12v$, および $V21 = 0.5v$)、12.468キロオームの抵抗値($R18$)を得る。

【0029】シリコン制御整流器(SCR)がトリガする速度はESD事象をシャントする上での遅延に対応する。SCR時定数表現の1次の近似が上に述べた0.8ミクロンのゲート長さのIGFETプロセスのパラメータを使用して説明される。例示的なIGFETプロセスではP型基板が使用される。P型IGFETトランジスタはNウェルに形成され、一方N型IGFETトランジスタはP型基板に形成される。

【0030】SCR22はバイポーラトランジスタ12および13を具備する。トランジスタ13は横型(lateral)デバイスとして形成されたNPNトランジスタである。トランジスタ13はエミッタとしてN+領域を、ベースとしてP-型基板を、そしてコレクタとしてNウェルを有する。N+領域およびNウェルの双方は前記P型基板に形成される。トランジスタ12は縦型(vertical)デバイスとして形成されたPNPトランジスタである。トランジスタ12はエミッタとしてP+領域を有し、Nウェルはベースであり、かつP型基板はコレクタである。P+領域(PNPのエミッタ)はNウェルに形成される。NウェルはNPNトランジスタのコレクタであり、かつPNPトランジスタのベースであることに注意を要する。同様にP型基板はPNPトランジスタのコレクタであり、かつNPNトランジスタのベースである。縦型PNPトランジスタはSCR22の高利得デバイスである。トランジスタ16はトランジスタ12からベース電流を引き込みトランジスタ12および13の間で正のフィードバックを開始する。

【0031】上記例のプロセスにおいては、トランジスタ13は8.2ミクロンのトランジスタベース幅(W_p)を有する横型NPNトランジスタである。トランジ

スタ13のベース幅はNウェル(コレクタ)からN+エミッタまでの距離として定義される。NPNトランジスタに対するベース移動度(mobility) μ_p は150 (cm²/ボルト*秒)である。NPNトランジスタのベース拡散係数 D_p は0.26 (ボルト*ミクロン)である。

【0032】トランジスタ12は1.0ミクロンのトランジスタベース幅(W_n)を有する縦型PNPトランジスタである。トランジスタ12のベース幅はP+エミッタとP-型基板との間の距離として定義される。PNPトランジスタに対するベース移動度 μ_n は400 (cm²/ボルト*秒)である。PNPトランジスタのベース拡散係数 D_n は0.26 (ボルト*ミクロン)である。

【0033】NPNトランジスタに対する時定数 t_{NPN} は次の数式4によって規定される。

$$\text{【数4】 } t_{NPN} = W_p^2 / (2 * D_p)$$

例示的なプロセスに対する数値を入れることにより86.205ナノ秒の t_{NPN} を得る。

【0034】PNPトランジスタに対する時定数 t_{PNP} は次の数式5によって規定される。

$$\text{【数5】 } t_{PNP} = W_n^2 / (2 * D_n)$$

例示的なプロセスに対する数値を入れることにより0.481ナノ秒の t_{PNP} を得る。横型NPNトランジスタは予期されるように縦型PNPトランジスタよりかなり低速である。

【0035】前記1次SCR時定数 t_{SCR} は次の数式6に示されるようにNPNおよびPNPトランジスタの時定数の積の平方根として定義される。

$$\text{【数6】 } t_{SCR} = (t_{NPN} * t_{PNP})^{1/2}$$

数式4および5において計算された時定数に対する値を使用することにより6.438ナノ秒のSCR時定数を得る。HBM ESDモデルは上に述べたように1ナノ秒ほどの高速であるが、通常パッドおよび電源バスに配置されるダイオードのような他のESD保護装置が集積回路の容量全体にわたりESD事象の初期過渡部分を分配し、それによって大幅にトランジェントを低速化する。これはSCRが人体モデルにおける全ての状況の下で作動できるようにする。

【0036】SCR22に対する時定数は重要であり、その理由はそれがSCR22をイネーブルするのに必要な最小電圧トランジェント期間を規定するからである。言い換えれば、SCR22は通常の信号が集積回路のパッドに印加されたときにイネーブルされるべきではない。前記数式1を解くと、パッドにおける電圧($V_{trigger}$)は次の数式7を生み出す。

$$\text{【数7】 } V_{trigger} = V_{21} * (1 + (1 / (R_{18} * \omega * C_{17})))$$

この例では、SCR22に対する時定数は電圧トランジ

ェントの等価な周波数のために数式7に与えられる。数式8はSCR22がトリガするのに必要な最小電圧トランジェントを規定する。

$$\text{【数8】 } V_{trigger} = V_{21} * (1 + (t_{SCR} / (2\pi * 0.37 * R_{18} * C_{17})))$$

【0037】数式8を解くことにより7.903ボルトの値がSCR22をトリガするための最小電圧として得られる。したがって、このプロセスを使用する集積回路の通常の動作状態の下では(3ボルトの信号レベル)、電圧トランジェントの速度と独立にSCR22をトリガすることは不可能である。

【0038】

【発明の効果】以上から、ESD事象が集積回路のパッドに加えられたときにESD損傷を防止するESD保護回路が提供されたことが理解されるべきである。このESD保護回路はSCRに対するトリガ機構としてデバイスのブレイクダウンを使用しない。容量および抵抗を備えた電圧分圧回路が使用されてESD事象においてSCRをイネーブルするための電圧を印加する。前記電圧分圧回路はESD事象のモデルの範囲に対してトリガしなければならない、それでもそれは集積回路に印加されるあるいは集積回路によって提供される信号に対してトリガしてはならない。この基準を達成するため、SCRはESD事象の電圧トランジェントの最悪の場合のモデルに基づき集積回路の動作電圧より充分大きな電圧でトリガするように設計される。SCRの遅延時間は集積回路の通常の信号がSCRをトリガするのを防止するように充分長くされる。したがって、広い範囲の動作条件にわたり動作する信頼性ある、正確な、かつ製造するのが容易なESD保護回路を製造する方法が提供される。

【0039】本発明の特定の実施形態が示されかつ説明されたが、当業者にはさらに他の修正および改善を成すことができる。本発明は示された特定の形式に限定されるのではなくかつ添付の特許請求の範囲によりこの発明の精神および範囲から離れることのない全ての変更をカバーすることを意図している。

【図面の簡単な説明】

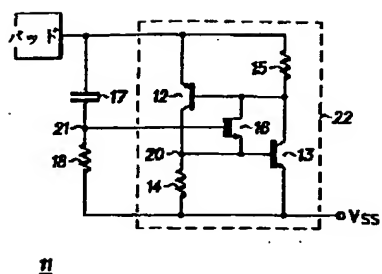
【図1】本発明に係わるパッドに結合された静電気放電(ESD)保護回路の電気回路図である。

【図2】人体モデルのESD事象を示すグラフである。

【符号の説明】

- 11 静電気放電(ESD)保護回路
- 12, 13 バイポーラトランジスタ
- 14, 15, 18 抵抗
- 16 絶縁ゲート電界効果トランジスタ
- 17 容量
- 22 SCR

【図1】



11

【図2】

